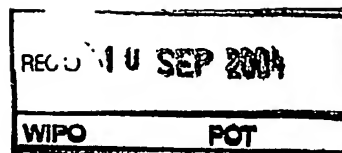


特 許 協 力 条 約

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]



出願人又は代理人 の書類記号 03NPCT005	今後の手続きについては、国際予備審査報告の送付通知（様式PCT/ IPEA/416）を参照すること。	
国際出願番号 PCT/JPO3/14887	国際出願日 (日.月.年) 21. 11. 2003	優先日 (日.月.年) 22. 11. 2002
国際特許分類 (IPC) Int. Cl. H03L 7/10, 7/199, 7/18		
出願人 (氏名又は名称) 日本電気株式会社		

- 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条 (PCT36条) の規定に従い送付する。
- この国際予備審査報告は、この表紙を含めて全部で 4 ページからなる。
☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 19 ページである。
- この国際予備審査報告は、次の内容を含む。
 - ☒ 国際予備審査報告の基礎
 - ☐ 優先権
 - ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
 - ☐ 発明の単一性の欠如
 - ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
 - ☐ ある種の引用文献
 - ☐ 国際出願の不備
 - ☒ 国際出願に対する意見

国際予備審査の請求書を受理した日 21. 11. 2003	国際予備審査報告を作成した日 20. 08. 2004		
名称及びあて先 日本国特許庁 (IPEA/JPO) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 甲斐 哲雄	5W	9750
電話番号 03-3581-1101 内線 3575			

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-5, 11, 15, 16, 18, 20, 21 ページ、 出願時に提出されたもの
 明細書 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書 第 6, 7, 7/1, 8, 8/1, 9, 10, 12-14, 17, 19 ページ、 06.05.2004 付の書簡と共に提出されたもの

☒ 請求の範囲 第 2, 4, 12, 20, 27 項、 出願時に提出されたもの
 請求の範囲 第 _____ 項、 PCT19条の規定に基づき補正されたもの
 請求の範囲 第 _____ 項、 国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 3, 5-11, 13-19, 21-26 項、 06.05.2004 付の書簡と共に提出されたもの

☒ 図面 第 1-12 ~~ページ~~/図、 出願時に提出されたもの
 図面 第 _____ ページ/図、 国際予備審査の請求書と共に提出されたもの
 図面 第 _____ ページ/図、 _____ 付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 _____ ページ、 出願時に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 _____ ページ、 _____ 付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☐ 請求の範囲 第 _____ 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を越えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)

請求の範囲

1-27

有

請求の範囲

無

進歩性(IS)

請求の範囲

1-27

有

請求の範囲

無

産業上の利用可能性(IA)

請求の範囲

1-27

有

請求の範囲

無

2. 文献及び説明(PCT規則70.7)

- 文献1: JP 07-336556 A (株式会社富士通ゼネラル),
1995. 12. 22, 第6頁右欄第29行-第7頁左欄第13行, 第1図
- 文献2: JP 05-300470 A (株式会社富士通ゼネラル),
1993. 11. 12, 第3頁左欄第2行-第3頁右欄第17行, 第1図
- 文献3: JP 2002-261607 A (三洋電機株式会社),
2002. 09. 13, 第3頁右欄第45行-第6頁左欄第8行, 第1図
- 文献4: JP 06-104748 A (松下電器産業株式会社),
1994. 04. 15, 第4頁右欄第16行-第7頁左欄第28行, 第1図, 第8図
- & US 5389898 A
- 文献5: JP 08-107351 A (旭化成マイクロシステム株式会社),
1996. 04. 23, 第3頁右欄第39行-第6頁左欄第43行, 第1図

請求の範囲1-27に記載された発明は、国際調査報告で引用された文献1-5の各々に対して進歩性を有する。

文献1-5には、発振器のバンド切り替えの際に分周手段を基準信号を基にリセットする構成が記載されておらず、この構成は文献1-5に記載された発明から当業者といえども容易に想到し得なかったものである。

VII. 国際出願に対する意見

請求の範囲、明細書及び図面の明瞭性又は請求の範囲の明細書による十分な裏付についての意見を次に示す。

(1) 請求項4, 12, 20に、「前記位相制御信号」と記載されているが、この記載より以前に「位相制御信号」は記載されておらず、これが何であるのか不明であると共に、「前記」が何を指すのか不明である。

(2) 明細書又は図面には、請求項4, 12, 20に係る発明のように、位相差信号又は位相制御信号の「履歴」に基づいて、「複数の発振器の出力」、「複数の共振回路」、「遅延回路の連結数」の切り替えを行なう選択手段は記載されていない。

(第3図、第7図、第9図を参照すると、履歴カウンタ427, 428を用いて位相差信号の「履歴」に基づいて発振器制御電圧S4の切り替えを行なう選択手段6が記載されている。なお、「複数の発振器の出力」、「複数の共振回路」、「遅延回路の連結数」をカウンタ426で切り替える際には、位相差信号の「履歴」は関係がない。)

(3) 明細書又は図面には、請求項10, 18, 26に係る発明のように、位相制御電圧が2つの閾値電圧よりも大きいか、あるいは2つの閾値電圧よりも小さいかによって、位相制御電圧を、2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御される構成は記載されていない。

(4) 本願発明は、信号S14 (EX-ORでなければならないと思われる構成要素8の出力信号) が基準信号とは必ずしも同期していないため、分周器5のリセット時点 (あるいはリセット解除時点、つまりカウント動作し始める時点) が基準信号によって決定されず、信号S14によって決定される場合は、分周器5の出力位相は基準信号に必ずしも同期しないと考えられる。つまり、分周器5の出力位相と基準信号の位相との関係は不定となり、本願発明が本願発明の課題を解決することができる理由が不明である。

返し、特性Aに遷移する。

その結果、電圧制御発振器群4の周波数が基準信号に比較して高くなって、分周器5の位相が基準信号より進んでしまい、それにより、制御電圧S4が閾値電圧Vref1を下回り、選択回路6により特性Bに再び遷移するようになる。

5 この後、2つの周波数が等しくなり、最終的に特性Bでロックする。

しかしながら、上述したように、異なる制御電圧－発振周波数特性を有する複数個の電圧制御発振器を用いて、所望の発振周波数に応じて電圧制御発振器を選択する場合においては、広帯域なPLL回路を実現することはできるものの、好適な電圧制御発振器が選択されても、分周器の位相が短時間で変化しないために、
10 位相比較器の出力が周波数変化に十分追従せず、結果的に最適な発振器が選択されるまでに非常に長い時間が必要となってしまう問題がある。

位相は周波数の積分であるため、最適な発振器が選択されて、基準信号と同一の周波数を有する内部信号が位相比較器に入力されたとしても、位相比較器の出力がロック状態になるまでに多大な時間がかかり、すぐにロック状態にならない。

15

発明の開示

本発明の目的は、異なる制御電圧－発振周波数特性を有する電圧制御発振器を複数個用いて、所望の発振周波数に応じて必要となる電圧制御発振器を短時間で選択することができるPLL回路を提供することにある。

20 上記目的を達成するために本発明は、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、互いに異なる周波数可変範囲を持ち、かつ各々位相差信号に従って発振周波数が制御される複数の発振器と、前記位相差信号に基づいて前記複数の発振器の出力のうちの1つを選択するための選択手段と、前記選択手段にて選択された発振器の出力を分周
25 することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周手段の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

また、前記複数の発振器は、周波数可変範囲が互いに重なり合うことを特徴とする。

- 5 更に、前記複数の発振器は、動作周波数範囲が互いに異なることを特徴とする。

更にまた、前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記複数の発振器の出力の切り替えを行なうことを特徴とする。

更にまた、前記発振器は、電圧制御発振器であり、前記位相差信号を発振器制御電圧に変換する手段を有することを特徴とする。

- 10 また、前記電圧制御発振器の制御電圧の可変範囲内に値が互いに異なる2つの閾値電圧を設定し、前記電圧制御発振器の選択状態が変化する際に、前記発振器制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

- また、前記電圧制御発振器の選択状態が変化する際の履歴に応じて、一時的に
15 設定する前記発振器制御電圧の値を変更する手段を有することを特徴とする。

また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 20 また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合であって、前記発振器制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 25 また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該発振器制御電圧が前記2つの閾値電圧よりも大きいか、あるいは前記

2つ

の閾値電圧よりも小さいかによって、前記発振器制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

また、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号

5 を出力するための位相比較手段と、

互いに異なる共振周波数を具備する複数の共振回路と、

前記共振回路と位相差信号とに従って発振周波数が制御される発振器と、

前記位相差信号に基づいて前記複数の共振回路のうちの1つを選択するための選択手段と、

10 前記発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記共振回路の選択状態が変化する際に、前記分周手段の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

また、前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づい

15 て前記複数の共振回路の切り替えを行なうことを特徴とする。

また、前記発振器は、電圧制御発振器であり、

前記位相差信号を発振器制御電圧に変換する手段を有することを特徴とする。

また、前記電圧制御発振器の制御電圧の可変範囲内に値が互いに異なる2つの閾値電圧を設定し、前記共振回路の選択状態が変化する際に、前記発振器制御電

20 圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

また、前記共振回路の選択状態が変化する際の履歴に応じて、一時的に設定する前記発振器制御電圧の値を変更する手段を有することを特徴とする。

また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となるこ

25 とにより前記共振回路の選択状態が切り替わる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の

近傍に

設定することを特徴とする。

また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合であって、前記発振器制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的

- 5 に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする。

また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該発振器制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記発振器制御電圧を、前記2つの閾

10 値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

また、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

- 15 各々位相差信号に従って遅延時間が制御される複数の遅延回路が連結されて構成された発振器と、

前記位相差信号に基づいて前記遅延回路の連結数を切り換える選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

- 20 前記発振器の選択状態が変化する際に、前記分周手段の出力位相を前記基準信号の位相に近づける手段を有することを特徴とする。

また、前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記遅延回路の連結数の切り替えを行なうことを特徴とする。

また、前記発振器は、電圧制御発振器であり、

前記位相差信号を発振器制御電圧に変換する手段を有することを特徴とする。

- 25 また、前記電圧制御発振器の制御電圧の可変範囲内に値が互いに異なる2つの閾値電圧

を設定し、前記遅延回路の連結数の選択状態が変化する際に、前記発振器制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする。

- 5 また、前記遅延回路の連結数の選択状態が変化する際の履歴に応じて、一時的に設定する前記発振器制御電圧の値を変更する手段を有することを特徴とする。

また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 10 また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合であって、前記発振器制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする。

- 15 また、前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該発振器制御電圧が前記2つの閾値電圧よりも大きいのか、あるいは前記2つの閾値電圧よりも小さいかによって、前記発振器制御電圧を、前記2つの閾値電圧の間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする。

- 20 また、前記分周手段の出力位相を、前記基準信号の位相と同期させることを特徴とする。

上記のように構成された本発明においては、基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、互いに異なる周波数可変範囲を持ち、かつ各々位相制御信号に従って発振周波数が制御

- 25 される複数の発振器と、位相差信号又は位相制御信号に基づいて複数の発振器の出力のうちの1つを選択するための選択手段と、選択手段にて選択された発振器

図 8 は本発明の PLL 回路の第 5 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。

図 9 は本発明の PLL 回路の第 6 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。

5 図 10 は複数個の電圧制御発振器を外部信号により選択し、クロックを発生する 4 通倍回路の一構成例を示す図である。

図 11 は図 10 に示した選択回路の構成を示すブロック図である。

図 12 は図 10 に示した電圧制御発振器群の制信信号の電圧に対する発振周波数特性を示す特性図である。

10

発明を実施するための最良の形態

(第 1 の実施の形態)

図 1 は、本発明の PLL 回路の第 1 の実施の形態を適用した 4 通倍回路の構成例を示すブロック図である。なお、図 1 において、図 10 に示した構成物と同一のものには同一の符号を付して、詳しい説明は省略する。

15

図 1 に示すように本形態においては、さらに、第 1 の入力基準信号であって、また、第 2 の入力選択回路 6 からの信号である 2 入力 AND 回路 7 が設けられており、その出力は分周器 5 のリセット端子に入力され、この信号により分周器出力と基準信号との位相が同期される。

20

また、選択回路 6 の内部には、閾値電圧 V_{ref1} をもつ電圧比較器 418 と、閾値電圧 V_{ref2} ($> V_{ref1}$) をもつ電圧比較器 418 とが設けられている。一方の電圧比較器 419 においては、入力される制御信号 S4 の電圧が閾値電圧 V_{ref1} よりも低い場合に、出力信号 S15 が一定時間高電位 (H) に設定され、また、入力される制御信号 S4 の電圧が閾値電圧 V_{ref1} よりも高い場合に、出力信号 S15 は低高電位 (L) に設定される。また、他方の電圧比較器 418 においては、入力される制御信号 S4 の電圧が閾値電圧 V_{ref2} よりも高い場

25

合に、出力信号S 1 6が一定時間高電位（H）に設定され、また、入力される制御信号S 4の電圧が閾値電圧Vref2よりも低い場合に、出力信号S 1 6は低電位（L）に設定される。

電圧比較器4 1 8, 4 1 9の出力S 1 5及びS 1 6は、アップダウンカウンタ
5 4 2 6に入力され、その出力に応じて選択スイッチ4 3 6が切り替えられる。このような動作特性を有する選択回路6によって、制御信号S 4の電圧値に応じて異なる制御電圧－発振周波数特性を有する4個の電圧制御発振器の内から、基準信号CK 1の周波数の4倍の周波数に応じた1個の電圧制御発振器が自動的に選択されることになる。

10 さらに、選択回路6により選択状態が変化した場合、信号S 1 4が一時的に高電位（H）になり、強制的にループフィルタ3の出力信号S 4の電位が図2に示す閾値電圧Vref1よりも高く、かつ、閾値電圧Vref2よりも低い値に設定されるため、電圧比較器4 1 8, 4 1 9の出力が一旦低電位（L）に復帰する。さらに信号S 1 4と基準信号が入力される2入力AND回路7により、分周器5が、
15 電圧制御発振器の選択状態の変化時点における一定期間リセットされ、それにより、基準信号と分周器5の出力位相とが同期される。これにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器1にて短時間で検出されることになり、異なる制御電圧－発振周波数特性を有する電圧制御発振器群4の選択状態が、誤動作することを防止できる。

20 以上説明したように、異なる制御電圧－発振周波数特性を有する4個の電圧制御発振器を含む半導体集積回路において、従来では電圧制御発振器の切り替え時の誤動作を防ぐためのループフィルタ3の出力信号S 4のみを強制的に制御していたが、本形態においては、分周器5の出力位相も強制的に基準信号と同期させることで好適な電圧制御発振器を極めて短時間で選択することが可能となる。

25 図2は、図1に示した電圧制御発振器群4の制信信号S 4の電圧に対する発振周波数特性を示す特性図である。なお、A～Dは、各々4個の発振器の制御電圧

一発振周波数特性であり、周波数 $f_1 \sim f_8$ は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$ の関係にある。

まず、所望の発振周波数、つまり入力される基準信号 CK_1 の周波数の 4 倍の周波数 f_{osc} が、 $f_1 < f_{osc} < f_2$ の場合について説明する。

5 図 2 に示した特性 D のみでロックする場合、すなわち、制御信号 S_4 の電圧が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲から外れない場合は、電圧比較器 418, 419 の出力信号 S_{15} , S_{16} が 高電位 (H) になることはなく、そのため、カウンタ 426 がカウント動作することはない、選択回路 6 の状態は初期状態から変化しない。

10 また、図 2 に示した特性 D から特性 C へ遷移し、さらに特性 B へ遷移して、最終的にロックされる場合には次のような動作となる。

特性 D において制御電圧 S_4 が閾値電圧 V_{ref2} を越えると、電圧比較器 418 の出力信号 S_{16} が一定時間 高電位 (H) になり、それにより、カウンタ 426 が 1 だけアップカウント動作する。このカウンタ 426 の出力に応じて電圧制御発振器の選択状態が特性 D から特性 C へ遷移すると同時に、信号 S_{14} が一時的に高電位 (H) となって、制御信号 S_4 が、閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲に一時的に復帰するので、出力信号 S_{16} が電圧制御発振器の切り替え後に 高電位 (H) に変化することを防いでいる。

さらに、信号 S_{14} と基準信号が入力される 2 入力 AND 回路 7 により、分周器 5 が、電圧制御発振器の選択状態の変化時点における一定期間リセットされるので、基準信号と分周器 5 の出力位相とが同期され、それにより、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器 1 にて短時間で検出され、異なる制御電圧一発振周波数特性を有する電圧制御発振器群 4 の選択状態が、誤動作することを防止している。

25 このようにして特性 C による PLL 制御が行なわれても、依然として基準信号の 4 倍の周波数に対して内部信号の周波数が低いので、制御電圧 S_4 が再び閾値

周波数特性を示す特性図である。なお、A～Dは、各々4個の発振器の制御電圧一発振周波数特性であり、周波数 $f_1 \sim f_8$ は、 $f_1 < f_2 < f_3 < f_4 < f_5 < f_6 < f_7 < f_8$ の関係にある。

まず、所望の発振周波数、つまり入力される基準信号CK1の周波数の4倍の

5 周波数 f_{osc} が、 $f_1 < f_{osc} < f_2$ の場合について説明する。

図4に示した特性Dのみでロックする場合、すなわち、制御信号S4の電圧が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} との間の範囲から外れない場合は、電圧比較器418、419の出力信号S15、S16が高電位(H)になることはなく、カウンタ426がカウント動作することはない、選択回路の状態は初期状態から

10 変化しない。

また、図4に示された特性Dから特性Cへ遷移し、さらに特性Bへ遷移して、最終的に特性Aにロックされる場合には次のような動作となる。

特性Dにおいて制御電圧S4が閾値電圧 V_{ref2} を越えると、電圧比較器418の出力信号S16が一定時間高電位(H)になり、それにより、カウンタ426が1だけアップカウント動作する。このカウンタの出力に応じて発振器の選択状態が特性Dから特性Cへ遷移すると同時に、信号S14が一時的に高電位(H)となって、制御信号S4が閾値電圧 V_{ref1} と閾値電圧 V_{ref2} の間の範囲の電圧に一時的に復帰するので、出力信号S16が電圧制御発振器の切り替え後に高電位(H)になることを防いでいる。

20 さらに、信号S14と基準信号が入力される2入力AND回路7により、分周器5が、電圧制御発振器の選択状態の変化時点における一定期間リセットされるので、基準信号と分周器5の出力位相が同期され、電圧制御発振器の選択状態の変化に起因する周波数の大きな変化が位相比較器1にて短時間で検出され、異なる制御電圧一発振周波数特性を有する電圧制御発振器群4の選択状態が、誤動作

25 することを防止している。

このようにして特性CによるPLL制御が行なわれても、依然として基準信号

ものには同一の符号を付して、詳しい説明は省略する。

図6に示すように本形態においては、第1の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、異なる共振周波数をもつ複数の共振回路からなる共振回路群434を設け、複数の共振回路を切り替えることにより、第1の実施の形態にて示したものと同様の効果を得ようとするものである。なお、共振回路は通常、インダクタ及びコンデンサで構成される。

(第4の実施の形態)

図7は、本発明のPLL回路の第4の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示した構成物と同一のものには同一の符号を付して、詳しい説明は省略する。

図7に示すように本形態においては、第2の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、異なる共振周波数をもつ複数の共振回路からなる共振回路群434を設け、複数の共振回路を切り替えることにより、第2の実施の形態にて示したものと同様の効果を得ようとするものである。なお、共振回路は通常、インダクタ及びコンデンサで構成される。

(第5の実施の形態)

図8は、本発明のPLL回路の第5の実施の形態を適用した4通倍回路の構成例を示すブロック図である。なお、図1に示した構成物と同一のものには同一の符号を付して、詳しい説明は省略する。

図8に示すように本形態においては、第1の実施の形態にて示したものに対して、異なる周波数可変範囲を持つ電圧制御発振器の代わりに、遅延時間が可変できる複数のインバータが連結接続されたリング発振器435を用いたものである。本形態においては、リング発振器435の連結数を切り替えることで周波数を広い範囲で変化させることができる。

(第6の実施の形態)

請 求 の 範 囲

1. (補正後) 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

互いに異なる周波数可変範囲を持ち、かつ各々位相差信号に従って発振周波数が制御される複数の発振器と、

前記位相差信号に基づいて前記複数の発振器の出力のうちの1つを選択するための選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

10 前記発振器の選択状態が変化する際に、前記分周手段の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。

2. 請求項1に記載のPLL回路において、

前記複数の発振器は、周波数可変範囲が互いに重なり合うことを特徴とするPLL回路。

15 3. (補正後) 請求項1に記載のPLL回路において、

前記複数の発振器は、動作周波数範囲が互いに異なることを特徴とするPLL回路。

4. 請求項1乃至3のいずれか1項に記載のPLL回路において、

前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記複数の発振器の出力の切り替えを行なうことを特徴とするPLL回路。

5. (補正後) 請求項1乃至4のいずれか1項に記載のPLL回路において、

前記発振器は、電圧制御発振器であり、

前記位相差信号を発振器制御電圧に変換することを特徴とするPLL回路。

6. (補正後) 請求項5に記載のPLL回路において、

25 前記電圧制御発振器の制御電圧の可変範囲内に値が互いに異なる2つの閾値電圧を設定し、前記電圧制御発振器の選択状態が変化する際に、前記発振器制御電

22 / 1

圧の値を前

記 2 つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とする PLL 回路。

7. (補正後) 請求項 6 に記載の PLL 回路において、

5 前記電圧制御発振器の選択状態が変化する際の履歴に応じて、一時的に設定する前記発振器制御電圧の値を変更する手段を有することを特徴とする PLL 回路。

8. (補正後) 請求項 6 に記載の PLL 回路において、

10 前記発振器制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合、一時的に設定する前記位相制御電圧を、前記 2 つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

9. (補正後) 請求項 6 に記載の PLL 回路において、

15 前記発振器制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となることにより前記電圧制御発振器の選択状態が切り替わる場合であって、前記発振器制御電圧が 2 回以上連続して前記 2 つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記発振器制御電圧を、前記 2 つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とする PLL 回路。

10. (補正後) 請求項 6 に記載の PLL 回路において、

20 前記発振器制御電圧が、前記 2 つの閾値電圧に挟まれる範囲外となった場合、当該発振器制御電圧が前記 2 つの閾値電圧よりも大きいか、あるいは前記 2 つの閾値電圧よりも小さいかによって、前記発振器制御電圧を、前記 2 つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とする PLL 回路。

11. (補正後) 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

25 互いに異なる共振周波数を具備する複数の共振回路と、

前記共振回路と位相差信号とに従って発振周波数が制御される発振器と、

前記位相差信号に基づいて前記複数の共振回路のうちの1つを選択するための
選択手段と、

前記発振器の出力を分周することにより前記内部信号を生成するための分周手
段とを有し、

- 5 前記共振回路の選択状態が変化する際に、前記分周手段の出力位相を前記基準
信号の位相に近づける手段を有することを特徴とするPLL回路。

12. 請求項11に記載のPLL回路において、

前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記
複数の共振回路の切り替えを行なうことを特徴とするPLL回路。

- 10 13. (補正後) 請求項11又は請求項12に記載のPLL回路において、

前記発振器は、電圧制御発振器であり、

前記位相差信号を発振器制御電圧に変換することを特徴とするPLL回路。

14. (補正後) 請求項13に記載のPLL回路において、

- 15 前記電圧制御発振器の制御電圧の可変範囲内に値が互いに異なる2つの閾値電
圧を設定し、前記共振回路の選択状態が変化する際に、前記発振器制御電圧の値
を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特
徴とするPLL回路。

15. (補正後) 請求項14に記載のPLL回路において、

- 20 前記共振回路の選択状態が変化する際の履歴に応じて、一時的に設定する前記
発振器制御電圧の値を変更する手段を有することを特徴とするPLL回路。

16. (補正後) 請求項14に記載のPLL回路において、

- 25 前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることによ
り前記共振回路の選択状態が切り替わる場合、一時的に設定する前記発振器制御
電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に
設定することを特徴とするPLL回路。

17. (補正後) 請求項14に記載のPLL回路において、

前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記共振回路の選択状態が切り替わる場合であって、前記発振器制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

18. (補正後) 請求項14に記載のPLL回路において、

前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該発振器制御電圧が前記2つの閾値電圧よりも大きいか、あるいは前記2つの閾値電圧よりも小さいかによって、前記発振器制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されることを特徴とするPLL回路。

19. (補正後) 基準信号と内部信号との位相を比較してその位相差に応じた位相差信号を出力するための位相比較手段と、

各々位相差信号に従って遅延時間が制御される複数の遅延回路が連結されて構成された発振器と、

前記位相差信号に基づいて前記遅延回路の連結数を切り換える選択手段と、

前記選択手段にて選択された発振器の出力を分周することにより前記内部信号を生成するための分周手段とを有し、

前記発振器の選択状態が変化する際に、前記分周手段の出力位相を前記基準信号の位相に近づける手段を有することを特徴とするPLL回路。

20. 請求項19に記載のPLL回路において、

前記選択手段は、前記位相差信号又は前記位相制御信号の履歴に基づいて前記遅延回路の連結数の切り替えを行なうことを特徴とするPLL回路。

21. (補正後) 請求項19又は請求項20に記載のPLL回路において、前記発振器は、電圧制御発振器であり、

前記位相差信号を発振器制御電圧に変換することを特徴とするPLL回路。

22. (補正後) 請求項21に記載のPLL回路において、

前記電圧制御発振器の制御電圧の可変範囲内に値が互いに異なる2つの閾値電圧を設定し、前記遅延回路の連結数の選択状態が変化する際に、前記発振器制御電圧の値を前記2つの閾値電圧に挟まれる範囲に一時的に設定する手段を有することを特徴とするPLL回路。

23. (補正後) 請求項22に記載のPLL回路において、

前記遅延回路の連結数の選択状態が変化する際の履歴に応じて、一時的に設定する前記発振器制御電圧の値を変更する手段を有することを特徴とするPLL回路。

24. (補正後) 請求項22に記載のPLL回路において、

前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

25. (補正後) 請求項22に記載のPLL回路において、

前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となることにより前記遅延回路の連結数の選択状態が切り替わる場合であって、前記発振器制御電圧が2回以上連続して前記2つの閾値電圧に挟まれる範囲外となる場合、一時的に設定する前記発振器制御電圧を、前記2つの閾値電圧のうち、前記発振器制御電圧側の閾値電圧の近傍に設定することを特徴とするPLL回路。

26. (補正後) 請求項22に記載のPLL回路において、

前記発振器制御電圧が、前記2つの閾値電圧に挟まれる範囲外となった場合、当該発振器制御電圧が前記2つの閾値電圧よりも大きいか、あるいは前記2つの閾値電圧よりも小さいかによって、前記発振器制御電圧を、前記2つの閾値電圧の中間電位に対して高く設定するか、あるいは低く設定するかが制御されること

を特徴とするPLL回路。